

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 3月15日

出願番号
Application Number: 特願2004-072562

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

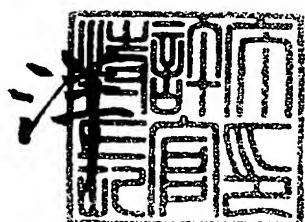
出願人
Applicant(s): 松下電器産業株式会社

BEST AVAILABLE COPY

2005年 4月13日

特許庁長官
Commissioner,
Japan Patent Office

小川



【直欄】
【整理番号】 2176050042
【提出日】 平成16年 3月15日
【あて先】 特許庁長官殿
【国際特許分類】 H01C 7/10
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地
【氏名】 井上 竜也 松下電子部品株式会社内
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地
【氏名】 勝村 英則 松下電子部品株式会社内
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地
【氏名】 加賀田 博司 松下電子部品株式会社内
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100097445
【弁理士】
【氏名又は名称】 岩橋 文雄
【選任した代理人】
【識別番号】 100103355
【弁理士】
【氏名又は名称】 坂口 智康
【選任した代理人】
【識別番号】 100109667
【弁理士】
【氏名又は名称】 内藤 浩樹
【手数料の表示】
【予納台帳番号】 011305
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9809938

【請求項 1】

セラミック絶縁基板と、このセラミック絶縁基板上に焼結一体化して設けたバリスタ層と内部電極とからなるバリスタ部と、このバリスタ部に設けた少なくとも一対の外部電極とを有し、前記バリスタ部にバリスタを形成した静電気対策部品。

【請求項 2】

外部電極はバリスタ部の同一面に焼結一体化して設けた請求項 1 に記載の静電気対策部品。

【請求項 3】

セラミック絶縁基板の厚みは、バリスタ部の厚みの 2 倍以上とした請求項 1 に記載の静電気対策部品。

【請求項 4】

バリスタ層は酸化亜鉛を主成分とするバリスタ材料であり、かつセラミック絶縁基板は酸化銅の含有量が重量比で 0.1 % 以下のアルミナ基板である請求項 1 に記載の静電気対策部品。

【請求項 5】

バリスタ部の上面は、外部電極の部位を除いて保護膜を形成した請求項 1 に記載の静電気対策部品。

【請求項 6】

セラミック絶縁基板としてインダクタを内蔵した基板を用い、前記インダクタはバリスタに電気的に接続して設けた請求項 1 に記載の静電気対策部品。

【発明の名称】 静電気対策部品

【技術分野】

【0001】

本発明は電子機器を静電気から保護する静電気対策部品に関するものである。

【背景技術】

【0002】

近年、携帯電話などの電子機器の小型化、高性能化は急速に進み、それに伴い電子機器回路が高密度化し電子機器の耐電圧は低下している。そのため、人体と電子機器の端子が接触したときに発生する静電気パルスによる機器内部の電気回路の破壊が増えてきている。

【0003】

従来、このような静電気パルスへの対策としては、静電気が入るラインとグランド間に積層チップバリスタなどを設け、静電気をバイパスさせ、機器の電気回路に印加される電圧を抑制する方法が行われている。

【0004】

なお、静電気パルスの対策に用いられる従来の積層チップバリスタに関する先行技術文献情報としては、例えば、特許文献1が知られている。

【特許文献1】特開平8-31616号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

最近では、電子機器の高性能化に伴い、電子機器を動作させるクロック周波数もますます高周波化している。この結果、静電気対策部品のような電子部品においてもクロック周波数に影響を与えないような静電容量の小さなものが求められるようになってきている。また、携帯電話などの送受信の周波数は800MHz～2GHzといった高い周波数であり、これに対応する静電気対策部品も同様に静電容量の小さなものが求められている。

【0006】

しかしながら、従来の積層チップバリスタは、それを構成する酸化亜鉛系材料の比誘電率が数百から千数百程度あるため、浮遊容量によって1pF以下の容量を実現することは困難であった。たとえば、従来の長さ1.0mm、幅0.5mmサイズの積層バリスタの場合、静電容量の最も小さなもので3pF程度であり、そのカットオフ周波数は約1GHz程度、共振周波数は約1.8GHzであるので、1GHzを越える高い周波数で使用することはできなかった。

【0007】

そこで本発明は、かかる問題点に鑑みてなされたもので、静電容量が非常に小さい静電気対策部品を提供することを目的とするものである。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明は以下の構成を有するものである。

【0009】

本発明の請求項1に記載の発明は、セラミック絶縁基板と、このセラミック絶縁基板上に焼結一体化して設けたバリスタ層と内部電極とからなるバリスタ部と、このバリスタ部に設けた少なくとも一対の外部電極とを有し、前記バリスタ部にバリスタを形成した構成であり、これにより、セラミック絶縁基板としてバリスタ層の材料よりも比誘電率の低いものを選ぶことで、部品の浮遊容量を小さくすることができ、静電容量が非常に小さい静電気対策部品となるという効果を有する。

【0010】

本発明の請求項2に記載の発明は、特に、外部電極はバリスタ部の同一面に焼結一体化して設けた構成であり、これにより、外部電極の面積を小さくすることができ、さらに浮

近位置で小電力の静電気を発生させ、より、肝電力を基板に小さくして肝電力を抑止するという効果を有する。

【0011】

本発明の請求項3に記載の発明は、特に、セラミック絶縁基板の厚みは、バリスタ部の厚みの2倍以上とした構成であり、これにより、バリスタ部とセラミック絶縁基板とを焼結して一体化した場合に、反りなどの問題を生じることなく実用に適した静電気対策部品が得られるという効果を有する。

【0012】

本発明の請求項4に記載の発明は、特に、バリスタ層は酸化亜鉛を主成分とするバリスタ材料であり、かつセラミック絶縁基板は酸化銅の含有量が重量比で0.1%以下のアルミナ基板である構成であり、これにより、酸化亜鉛バリスタの特性発現の阻害物質である酸化銅の含有量を少なくしているので、焼成時にアルミナ基板から酸化亜鉛バリスタ材料への酸化銅の拡散を防ぐことができ、バリスタ特性の発現をより確実に行なうことができ、より安定した特性の静電気対策部品が得られるという効果を有する。

【0013】

本発明の請求項5に記載の発明は、特に、バリスタ部の上面は、外部電極の部位を除いて保護膜を形成した構成であり、これにより、外部電極へのめっき皮膜の形成を容易に行なうことができ、より実装性の優れた静電気対策部品が得られるという効果を有する。

【0014】

本発明の請求項6に記載の発明は、特に、セラミック絶縁基板としてインダクタを内蔵した基板を用い、前記インダクタはバリスタに電気的に接続して設けた構成であり、これにより、バリスタ機能以外にインダクタ機能を有しているので、フィルタ機能を追加するなど静電気抑制効果をさらに高めることができ、優れた静電気対策部品となるという効果を有する。

【発明の効果】

【0015】

以上のように本発明は、セラミック絶縁基板と、このセラミック絶縁基板上に焼結一体化して設けたバリスタ層と内部電極とからなるバリスタ部と、このバリスタ部に設けた少なくとも一対の外部電極とを有し、前記バリスタ部にバリスタを形成した静電気対策部品であり、静電容量が非常に小さい静電気対策部品となるので、高周波のクロック周波数で作動する電子機器でもその動作に影響を与えることがなく、静電気パルスによる破壊から高周波の電子機器を保護することができる部品となるという効果を有する。

【発明を実施するための最良の形態】

【0016】

(実施の形態1)

以下、実施の形態1を用いて、本発明の特に請求項1、請求項3および請求項4に記載の発明について説明する。図1は本発明の実施の形態1における静電気対策部品の模式的分解斜視図、図2は本発明の実施の形態1における静電気対策部品の外観斜視図、図3は本発明の実施の形態1における静電気対策部品の等価回路図である。

【0017】

図1および図2において、10a、10bおよび10cはバリスタ層、10はバリスタ部、11aおよび11bは内部電極、12はセラミック絶縁基板、13aおよび13bは外部電極である。

【0018】

図1および図2に示すように、本実施の形態1における静電気対策部品は、セラミック絶縁基板12の上に、バリスタ層10a、10bおよび10cと内部電極11aおよび11bとを交互に積層し、これらを一体化したセラミック焼結体に一対の外部電極13aおよび13bを設けたものである。内部電極11aはセラミック焼結体の片端部に引き出すことで外部電極13aと電気的に接続し、内部電極11bはセラミック焼結体のもう一方の片端部に引き出すことで外部電極13bと電気的に接続する構成としている。

そして、本実施の形態1における静電気対策部品の回路は、図3に示す等価回路となる。図3において、201はパリスタ、202は入出力用外部電極、203はグランド用外部電極である。なお、上記のように、外部電極13aと13bとは等価回路的に同じ構成であるため、実際に回路に接続して使用する際には、どちらか一方が入出力用外部電極202、他方がグランド用外部電極203となる。

【0020】

上記したように、本実施の形態1における静電気対策部品は、パリスタ層と内部電極と外部電極とを備えたパリスタ部10をセラミック絶縁基板12上に貼り付け、焼結して一体化したセラミック焼結体としたものであり、セラミック絶縁基板にパリスタ層の材料よりも比誘電率の低いものを選ぶことで、部品の浮遊容量を少なくすることができ、静電容量を非常に小さくできるため、クロック周波数の非常に高速な電気回路に適用できる静電気対策部品となる。

【0021】

続いて、本発明の実施の形態1における静電気対策部品の製造方法について、図1および図2を用いて説明する。

【0022】

まず、酸化亜鉛を主成分とするセラミック粉末と有機バインダからなる酸化亜鉛生シートを作製し準備した。この時、生シートの厚みは約 $30\mu\text{m}$ とした。

【0023】

上記の酸化亜鉛生シートの上に銀を主成分とする金属ペーストを用いスクリーン印刷法で内部電極11aとなる導体層を形成し、この上に酸化亜鉛生シートを積層し、この酸化亜鉛生シート上に銀ペーストを用いスクリーン印刷法で内部電極11bとなる導体層を形成し、この上に酸化亜鉛生シートを積層してパリスタ部10とし、次に、セラミック絶縁基板12としてアルミナ基板を用い、このアルミナ基板上に上記の積層体を貼り付け、積層体ブロックとした。

【0024】

なお、上記のアルミナ基板の厚みは約 $250\mu\text{m}$ 、導体層の厚みは約 $2.5\mu\text{m}$ とした。また、印刷した導体層のパターンは、切断した後に図2に示した形状となるよう図示した形状を多数個を縦横に配列したパターン形状とした。

【0025】

次に、上記の積層体ブロックを大気中で加熱して脱バインダ処理した後、大気中で 930°C まで加熱して焼成し一体化した焼結体とした後、所望の寸法に切断分離して、図1および図2の本実施の形態1における静電気対策部品のうち、外部電極13aおよび13bを形成する前のセラミック焼結体を得た。続いて、セラミック焼結体の長辺側両端部に、銀を主成分とする電極ペーストを塗布した後、 800°C で焼付けを行って、外部電極13aおよび13bを形成し、図1および図2に示した本実施の形態1における静電気対策部品を作製した。

【0026】

作製した本実施の形態1における静電気対策部品は、長手方向寸法が約 1.0mm 、幅方向寸法が約 0.5mm 、厚み方向寸法が約 0.3mm であった。そして、外部電極13aと13b間の静電容量は 1pF 、パリスタ電圧 V_{1mA} すなわち 1mA の電流が流れる時の電圧は 27V であった。

【0027】

また、比較のために、内部電極寸法および外形寸法および、使用した酸化亜鉛生シートを本実施の形態1における静電気対策部品と同じにし、パリスタ電圧 V_{1mA} すなわち 1mA の電流が流れる時の電圧は 27V とした積層パリスタを作製したところ、その静電容量は約 3pF であった。

【0028】

そして、本実施の形態1における静電気対策部品と比較のために作製した積層パリスタ

にない、凹収效付はで計画した。凹収效付はの計画木で凹上りに小々。凹上りに小々。ように、比較例3 pFの積層パリスタに比べ、本実施の形態1における静電気対策部品の共振周波数は2.8 GHzと高く、1 GHzを越える周波数でも使うことができ、より高周波での使用に適している静電気対策部品が得られた。

【0029】

次に、上記で作製した本実施の形態1の静電気対策部品について、静電気試験を行い評価した。

【0030】

静電気試験は、図4に示す回路により行った。スイッチ103を接続して直流電源101より抵抗102を介し所定の電圧を印加して、静電容量150 pFの容量ボックス104に電荷をチャージした後、スイッチを切り替えてスイッチ103を開放しスイッチ105を接続して、容量ボックス104にチャージした電荷を静電気バルスとして、抵抗106を介して信号ライン108を通して被保護機器110に印加するというものである。

【0031】

そして、図4に示すように、本実施の形態1の静電気対策部品は、評価試料109として、入出力用外部電極202を信号ライン108側に接続し、グランド用外部電極203をグランドライン107に接続した。

【0032】

そして静電気バルスを印加した時の、被保護機器110の直前の信号ライン108とグランドライン107間の電圧波形を測定することにより、静電気バルスをバイパスさせて被保護機器110に印加される電圧を抑制する効果、つまり、評価試料109である静電気対策部品の静電気バルスに対する吸収抑制効果を評価した。また、比較のために、前述した静電容量が3 pF、パリスタ電圧 V_{1mA} が27 Vの比較例の積層パリスタを信号ライン108とグランドライン107間に接続して設けた場合の静電気バルスに対する吸収抑制効果も評価した。吸収抑制効果は、図4に示す静電気試験回路により8 kVを印加した静電気バルスのピーク電圧値の比較によって確認した。

【0033】

比較例の積層パリスタを信号ライン108とグランドライン107間に接続して設けた場合の被保護機器110に印加されたピーク電圧値は約220 Vであったのに対し、本実施の形態1における静電気対策部品を設けた場合の被保護機器110に印加されたピーク電圧値は約230 Vであった。つまり、構成が全く違うにもかかわらず、従来の積層パリスタとほとんど変わらない静電気バルスに対する吸収抑制効果を持つことがわかる。さらに、本実施の形態1における静電気対策部品は、比誘電率が10程度のアルミナが体積の大部分を占めるため、静電容量も1/3にすることことができた。

【0034】

なお、本実施の形態1における静電気対策部品において、パリスタ部10の積層数を多くし焼成後のパリスタ部10の厚みをアルミナ基板12の厚み250 μm の2分の1よりも大きく、すなわち約130 μm 以上にしたところ、焼成後に大きな反りを生じ、静電気対策部品として実用できるものは得られなかった。したがって、セラミック絶縁基板の厚みは、パリスタ部の厚みの2倍以上とすることが好ましい。

【0035】

なお、本実施の形態1における静電気対策部品のセラミック絶縁基板として、酸化銅を0.1%以上含んだアルミナ基板を用いた場合には、図4に示す静電気試験回路により8 kVを印加した静電気バルスのピーク電圧値が約400 Vになり、静電気バルスに対する吸収抑制効果が悪くなることを確認した。したがって、セラミック絶縁基板は、酸化銅の含有量が重量比で0.1%以下のアルミナ基板であることが好ましい。

【0036】

(実施の形態2)

以下、実施の形態2を用いて、本発明の特に請求項2および請求項5に記載の発明について説明する。なお、符号は上記実施の形態1と同様のものについては同じ符号を付し説

【0037】

図5は本発明の実施の形態2における静電気対策部品の模式的分解斜視図、図6は本発明の実施の形態2における静電気対策部品の外観斜視図である。なお、本発明の実施の形態2における静電気対策部品の等価回路図は上記実施の形態1の図3と同様である。

【0038】

図5および図6において、10dおよび10eはバリスタ層、10はバリスタ部、11cは内部電極、12はセラミック絶縁基板、14aおよび14bは外部電極、17はピア導体、18は保護膜である。

【0039】

図5および図6に示すように、本実施の形態2における静電気対策部品は、バリスタ層10dおよび10eと内部電極11cと外部電極14aおよび14bとを積層してバリスタ部10とし、セラミック絶縁基板12の上に貼り付け、これらを焼結して一体化したセラミック焼結体とし、セラミック焼結体の一面に外部電極14aおよび14bを設け、内部電極11cはピア導体17によって外部電極14bと電気的に接続した構成としている。そして、バリスタ部10の上面は、外部電極14aおよび14bの部位を除いて保護膜18により覆った構成としている。

【0040】

そして、本実施の形態2における静電気対策部品は、図3に示す等価回路となる。図3において、201はバリスタ、202は入出力用外部電極、203はグランド用外部電極である。なお、上記のように、外部電極14aと14bとは等価回路的に同じ構成であるため、実際に回路に接続して使用する際には、どちらか一方が入出力用外部電極202、他方がグランド用外部電極203となる。

【0041】

上記したように、本実施の形態2における静電気対策部品は、バリスタ層と内部電極と外部電極とを備えたバリスタ部10をセラミック絶縁基板12上に貼り付け、焼結して一体化したセラミック焼結体としたものであり、セラミック絶縁基板にバリスタ層の材料よりも比誘電率の低いものを選ぶことで、部品の浮遊容量を小さくすることができ、静電容量が非常に小さくできるため、クロック周波数の非常に高速な電気回路に適用できる静電気対策部品となる。

【0042】

さらに、本実施の形態2における静電気対策部品は、特に、外部電極を同一面上に設けているため、上記実施の形態1における静電気対策部品と比較して、外部電極の面積がより小さくでき、また内部電極の面積も小さくできるため、さらに静電容量を小さくでき、クロック周波数のより高速な電気回路に適用できる静電気対策部品となる。また、回路基板に接続するための外部電極を同一面上に設けているので、基板に実装して回路を構成した際に、回路の小型高密度化と薄型化が図れるとともに、実装の際のコストを削減することができる。

【0043】

さらに、本実施の形態2における静電気対策部品は、特に、内部電極11cはピア導体17によって外部電極14bと電気的に接続したものであり、これにより、上記実施の形態1のような外部電極を形成するための特別な工程が不要になるという効果がある。

【0044】

そして、バリスタ部10の上面は、外部電極14aおよび14bの部位を除いて保護膜18により覆った構成であり、これにより、外部電極へのめっき皮膜の形成を容易に行うことができ、より実装性の優れた静電気対策部品が得られる。

【0045】

続いて、本発明の実施の形態2における静電気対策部品の製造方法について、図5および図6を用いて説明する。

【0046】

より、酸化亜鉛を主成分とするセメント系接着剤と、内部電極11cとなる酸化亜鉛生シートを作製し準備した。この時、生シートの厚みは約30μmとした。

【0047】

上記の酸化亜鉛生シートの上に銀を主成分とする金属ペーストを用いスクリーン印刷法で内部電極11cとなる導体層を形成し、その上に外部電極14bに電気的に接続するような位置にピア導体17となる銀ペーストが充填された酸化亜鉛生シート10eを積層し、さらに、その上に銀ペーストを用いスクリーン印刷法で外部電極14aおよび14bとなる導体層を形成してバリスタ部10となる積層体を作製した。次に、セラミック絶縁基板12としてアルミナ基板を用い、このアルミナ基板上に上記の積層体を貼り付け、積層体ブロックとした。

【0048】

なお、上記のアルミナ基板の厚みは約250μm、導体層の厚みは約2.5μmとした。また、印刷した導体層のパターンは、切断した後に図6に示した形状となるよう図示した形状を多数個を縦横に配列したパターン形状とした。

【0049】

次に、上記の積層体ブロックを大気中で加熱して脱バインダ処理した後、大気中で930℃まで加熱して焼成し一体化した焼結体とした。その後、外部電極14aと14bの部位を除いたバリスタ部10の上面を熱硬化性樹脂ペーストを用いてスクリーン印刷法で覆い、所望の温度で樹脂を硬化させ保護膜18を形成した。続いて、保護膜18を形成した焼結体の外部電極の部位にニッケル、はんだのめっきを施した後、所望の寸法に切断分離し、図5および図6に示した本実施の形態2における静電気対策部品を作製した。

【0050】

作製した本実施の形態2における静電気対策部品は、長手方向寸法が約1.0mm、幅方向寸法が約0.5mm、厚み方向寸法が約0.3mmであった。そして、外部電極14aと14b間の静電容量は0.4pF、バリスタ電圧V_{1mA}すなわち1mAの電流が流れる時の電圧は27Vであった。

【0051】

そして、本実施の形態2における静電気対策部品について、周波数特性を評価した。周波数特性の評価結果を図10に示す。図10に示すように、比較例の積層バリスタおよび実施の形態1における静電気対策部品に比べ、本実施の形態2における静電気対策部品の共振周波数は4GHzと高く、2GHzを越える周波数でも使うことができ、より高周波での使用に適している静電気対策部品が得られた。

【0052】

次に、上記で作製した本実施の形態2の静電気対策部品について、静電気試験を行い評価した。

【0053】

評価は、実施の形態1で説明した静電気試験と同様に、本実施の形態2の静電気対策部品を図4に示す評価試料109として、バリスタの入出力用外部電極202を信号ライン108側に接続し、グランド用外部電極203をグランドライン107に接続し、図4に示す回路により印加される静電気パルスの電圧8kVを印加し、被保護機器110に印加される静電気パルスのピーク電圧値を測定し、その抑制効果を評価した。

【0054】

本実施の形態2における静電気対策部品を設けた場合の被保護機器110に印加されたピーク電圧値は、約230Vであり、十分な静電気パルスに対する吸収抑制効果を持つことがわかった。さらに、本実施の形態2における静電気対策部品は、内部電極面積および外部電極面積を小さくすることで浮遊容量を減らすことができたため、実施の形態1における静電気対策部品と比べても、静電容量を1/2以下にすることができた。

【0055】

また、本実施の形態2の製造方法において、保護膜18を形成せずに、ニッケル、はんだめっきを施そうとしたところ、外部電極以外の所々の部分にめっき流れが起こり、歩留

【0056】

なお、本実施の形態2の静電気対策部品は、保護膜を形成するために樹脂ベーストを用いたが、ガラスベーストを用い焼き付けたり、パリスタ部と一体焼成などして形成しても構わない。

【0057】

(実施の形態3)

以下、実施の形態3を用いて、本発明の特に請求項6に記載の発明について説明する。なお、符号は上記実施の形態1および2と同様のものについては同じ符号を付し説明する。

【0058】

図7は本発明の実施の形態3における静電気対策部品の模式的分解斜視図、図8は本発明の実施の形態3における静電気対策部品の外観斜視図、図9は本発明の実施の形態3における静電気対策部品の等価回路図である。

【0059】

図7および図8において、10f、10gおよび10hはパリスタ層、10はパリスタ部、11d、11eおよび11fは内部電極、15aはグランド用外部電極、15bは入力用外部電極、15cは出力用外部電極、17はピア導体、20a、20b、20cはガラスセラミック層、20はガラスセラミック基板、19はインダクタ導体である。

【0060】

図7および図8に示すように、本実施の形態3における静電気対策部品は、パリスタ層10f、10gおよび10hと内部電極11d、11eおよび11fとを積層してパリスタ部10とし、これをガラスセラミック層20a、20bおよび20cとインダクタ導体19を積層して形成したインダクタを内蔵したガラスセラミック基板20の上に貼り付けている。なお、内部電極11dとインダクタ導体19および内部電極11eとインダクタ導体19はピア導体17によって電気的に接続し、これらを焼結して一体化したセラミック焼結体とした構成としている。このセラミック焼結体にグランド用外部電極15a、入力用外部電極15bおよび出力用外部電極15cを設けたものである。そして、内部電極11fはセラミック焼結体の短辺側両端部に引き出しグランド用外部電極15aと電気的に接続し、内部電極11dは長辺側片端部に引き出し入力用外部電極15bと、内部電極11eは長辺側のもう一方の端部に引き出し出力用外部電極15cとそれぞれ電気的に接続した構成としている。

【0061】

そして、本実施の形態3における静電気対策部品は図9に示す等価回路となる。図9において、201はパリスタ、203はグランド用外部電極、204は入力用外部電極、205は出力用外部電極、206はインダクタである。なお、上記のように、入力用外部電極15bと出力用外部電極15cとは等価回路的に同じ構成であるため、実際に回路に接続して使用する際には、どちらか一方が入力用外部電極204、他方が出力用外部電極205となる。

【0062】

上記したように、本実施の形態3における静電気対策部品は、上記実施の形態1および2における静電気対策部品と同様に、パリスタ層の材料よりも比誘電率の低いガラスセラミック基板を用いているので、部品の浮遊容量を小さくすることができ、静電容量の非常に小さい静電気対策部品となる。

【0063】

また、本実施の形態3における静電気対策部品は、特に、セラミック絶縁基板としてインダクタを内蔵したガラスセラミック基板を用い、内部電極11dとインダクタ導体19と内部電極11eとをピア導体17によって接続することで、パリスタ2つとインダクタをπ字型に繋いた構成としているので、より優れたフィルタ機能を有する静電気対策部品となる。

続いて、本発明の実施の形態3における静電気対策部品の製造方法について、図7および図8を用いて説明する。

【0065】

まず、ホウ珪酸ガラスおよびアルミナを主成分とするガラスセラミック粉末と有機バインダからなる、ガラスセラミック生シートを作製し準備した。この時、生シートの厚みは約30μmとした。

【0066】

次に、上記のガラスセラミック生シートを数枚積層し、その上に銀を主成分とする金属ペーストを用いスクリーン印刷法でインダクタ導体19となる導体層を形成した。その上にインダクタ導体19の両端、内部電極11dおよび11eに電気的に接続するような位置にピア導体17となる銀ペーストが充填されたガラスセラミック生シート20cを数枚積層した後、この積層体を大気中で加熱して脱バインダ処理した後、大気中で940℃まで加熱して焼成し、インダクタを内蔵したガラスセラミック基板20を得た。なお、このガラスセラミック基板20の厚みは約250μmとした。

【0067】

次に、酸化亜鉛を主成分とするセラミック粉末と有機バインダからなる酸化亜鉛生シートを作製し準備した。この時、生シートの厚みは約30μmとした。

【0068】

次に、インダクタ導体19の両端、内部電極11dおよび11eに電気的に接続するような位置にピア導体17となる銀ペーストが充填された上記の酸化亜鉛生シート10fの上に銀を主成分とする金属ペーストを用いスクリーン印刷法で内部電極11fとなる導体層を形成し、その上に、前記と同様にインダクタ導体19の両端、内部電極11dおよび11eに電気的に接続するような位置にピア導体17となる銀ペーストが充填された上記の酸化亜鉛生シート10gを積層し、さらにその上に銀ペーストを用いスクリーン印刷法で内部電極11dおよび11eとなる導体層を形成し、その上に酸化亜鉛生シート10hを積層しバリスタ部10となる積層体を作製した。次に、この積層体を上記のガラスセラミック基板20上にピア導体17が電気的に接続するように貼り付け、積層体ロックとした。なお、導体層の厚みは約2.5μmとした。また、印刷した導体層のパターンは、切断した後に図8に示した形状となるよう図示した形状を多数個を縦横に配列したパターン形状とした。

【0069】

次に、上記の積層体ロックを大気中で加熱して脱バインダ処理した後、大気中で930℃まで加熱して焼成し一体化した焼結体を形成した後、所望の寸法に切断分離して、図7および図8の本実施の形態3における静電気対策部品のうち、外部電極15a、15bおよび15cを形成する前のセラミック焼結体を得た。続いて、セラミック焼結体の短辺側両端部の内部電極11fが露出した部分、およびセラミック焼結体の長辺側両端部の内部電極11dおよび11eが露出した部分に、銀を主成分とする電極ペーストを塗布した後、800℃で焼付けを行って、外部電極15a、15bおよび15cを形成し、図7および図8に示した本実施の形態3における静電気対策部品を作製した。

【0070】

作製した本実施の形態3における静電気対策部品は、長手方向寸法が約1.0mm、幅方向寸法が約0.5mm、厚み方向寸法が約0.3mmであった。そして、外部電極15aと15b間の静電容量は1.0pF、バリスタ電圧V_{1mA}すなわち1mAの電流が流れる時の電圧は27V、また同様に、外部電極15aと15c間の静電容量は1.0pF、バリスタ電圧V_{1mA}は27Vであった。また、外部電極15bと15c間のインダクタンスは約3nHであった。また、本実施の形態3における静電気対策部品は、π型フィルタの構成とし、容量値とインダクタンスもフィルタ計算に合わせた数値としているため、3GHz付近に共振を持つ3段の急峻なフィルタ特性を持っており、より優れたノイズフィルタとしての特性を持っていた。

次に、上記で作製した本実施の形態3の静電気対策部品について、静電気試験を行い評価した。評価は、実施の形態1で説明した静電気試験と同様に、本実施の形態3の静電気対策部品を図4に示す評価試料109として、入力用外部電極204を信号ライン108の入力側つまり抵抗106側に接続し、出力用外部電極205を信号ライン108の出力側つまり被保護機器110側に接続し、グランド用外部電極203をグランドライン107に接続し、図4に示す回路により印加される静電気パルスの電圧8kVを印加し、被保護機器110に印加される静電気パルスのピーク電圧値を測定し、その抑制効果を評価した。

【0072】

本実施の形態3における静電気対策部品を設けた場合の被保護機器110に印加されたピーク電圧値は、約200Vであり、実施の形態1および2よりも静電気パルスに対する吸収抑制効果が高いことがわかった。

【0073】

また、上記実施の形態3の静電気対策部品は、1つのインダクタと2つのバリスタとでπ型フィルタとした構成を示したが、この他に、インダクタ部のインダクタ導体、バリスタ部の内部電極およびその接続方法を変えて構成することにより、π型だけでなくT型の多段構成とし、さらにそのインダクタンスと静電容量を適当な値に調整することで、3段、4段といった多段のローパスフィルタとすることもでき、ローパスフィルタとしての機能の効果をさらに高めることもできる。

【0074】

なお、上記実施の形態1～3においては、大きさは1.0mm×0.5mm×0.3mmとしたが、特に大きさを限定するものではなく、工法や強度が許す限りもっと大きくても、小さくても構わない。

【0075】

また、本発明の静電気対策部品は、アルミナなどの強度の高い基板を使うため、薄型の静電気対策部品を提供するのに有意な構成であるので、その総厚みは、上記実施の形態に限定されるものではない。

【0076】

また、バリスタ部のバリスタ機能を有する有効層の層数は1層としたが、有効層は何層あっても構わない。また、セラミック絶縁基板はアルミナ基板とガラスセラミック基板を用いたが、フェライトや高誘電率誘電体などを用いても良い。また、電極ペーストは銀ペーストを用いたが、銀バラジウムペースト、白金ペーストなど他の金属ペーストを用いても良い。また、内部電極はバリスタ部とセラミック絶縁基板の界面に形成しても良い。

【0077】

また、上記実施の形態1および3の静電気対策部品においても、保護膜を形成しめっきを施しても良く、これにより、上記実施の形態2の静電気対策部品と同様に、より実装性の優れた静電気対策部品が得られる。そして、保護膜の形成およびめっきは、焼結体を所望の寸法に切断分離する前であっても、切断分離後でも同様の効果が得られる。

【産業上の利用可能性】

【0078】

本発明に係る静電気対策部品は、極めて低容量の静電気対策部品であり、高周波のクロック周波数で作動する電子機器でも、その動作に影響を与えることがないので、静電気パルスによる破壊から高周波の電子機器を保護する部品として特に有用である。

【図面の簡単な説明】

【0079】

【図1】本発明の実施の形態1における静電気対策部品の模式的分解斜視図

【図2】同静電気対策部品の外観斜視図

【図3】同静電気対策部品の等価回路図

【図4】本発明の実施の形態1における静電気試験の回路図

【図 5】半導体素子大廈の構造についての説明

【図 6】同静電気対策部品の外観斜視図

【図 7】本発明の実施の形態3における静電気対策部品の模式的分解斜視図

【図 8】同静電気対策部品の外観斜視図

【図 9】同静電気対策部品の等価回路図

【図 10】本発明の実施の形態1および2における静電気対策部品の周波数特性の評価結果を示す図

【符号の説明】

【0080】

10 パリスタ部

10a、10b、10c、10d、10e、10f、10g、10h パリスタ層

11a、11b、11c、11d、11e、11f 内部電極

12 セラミック絶縁基板

13a、13b、14a、14b 外部電極

15a グランド用外部電極

15b 入力用外部電極

15c 出力用外部電極

17 ピア導体

18 保護膜

19 インダクタ導体

20 ガラスセラミック基板

20a、20b、20c ガラスセラミック層

101 電源

102、106 抵抗

103、105 スイッチ

104 容量ボックス

107 グランドライン

108 信号ライン

109 評価試料

110 被保護機器

201 パリスタ

202 入出力用外部電極

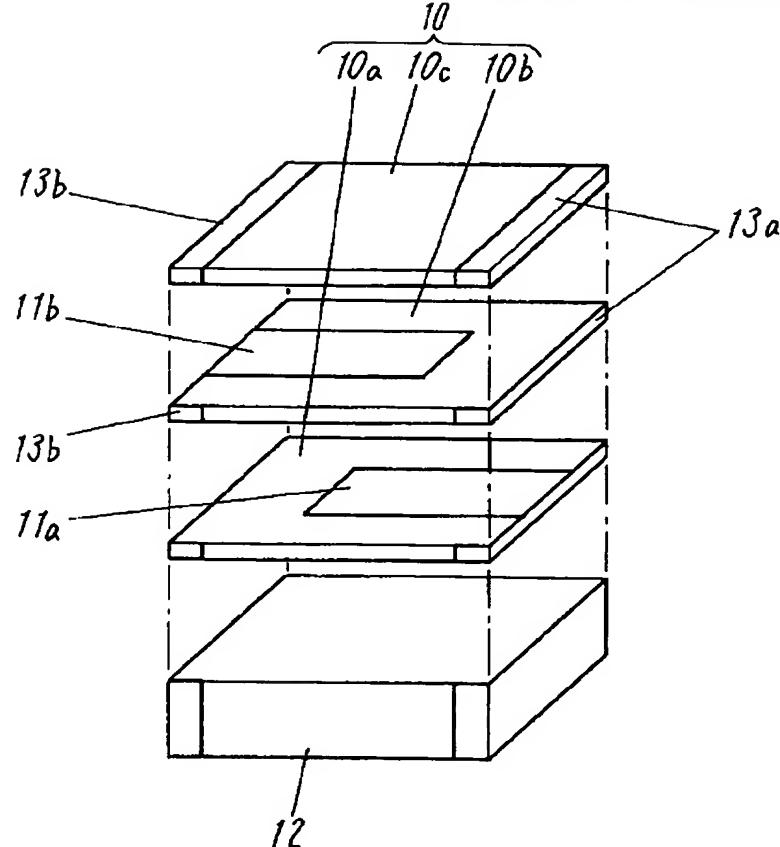
203 グランド用外部電極

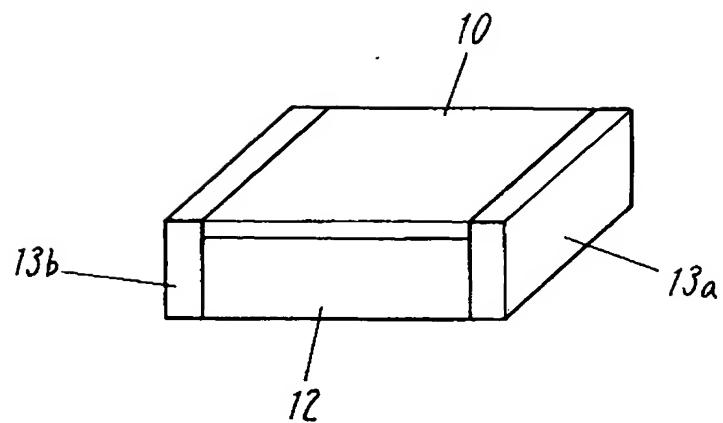
204 入力用外部電極

205 出力用外部電極

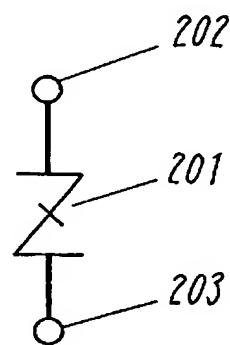
206 インダクタ

10 バリスタ部
10a, 10b, 10c バリスタ層
11a, 11b 内部電極
12 セラミック絶縁基板
13a, 13b 外部電極

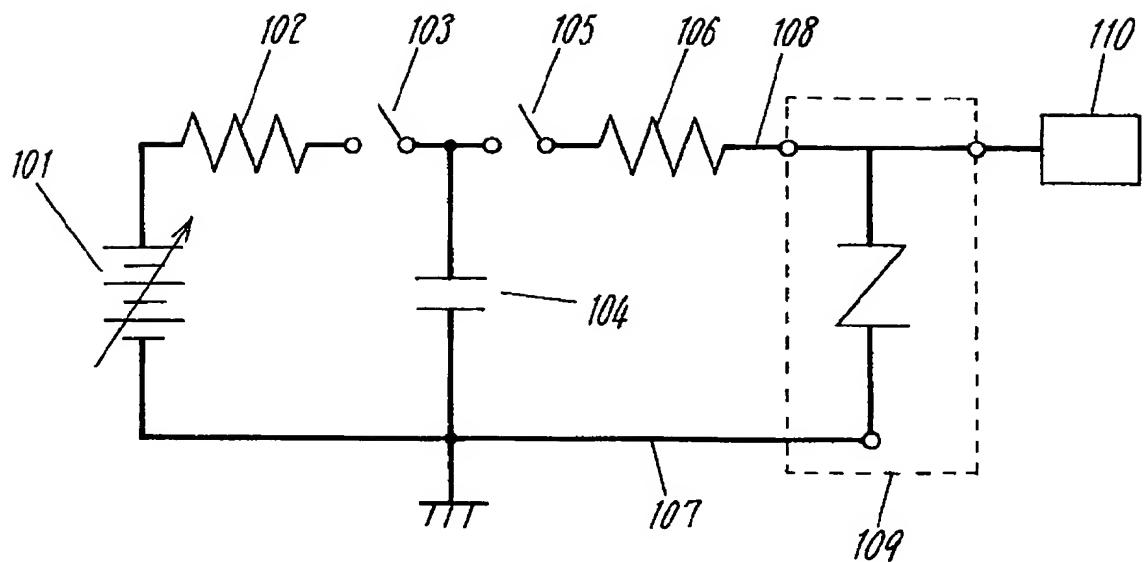




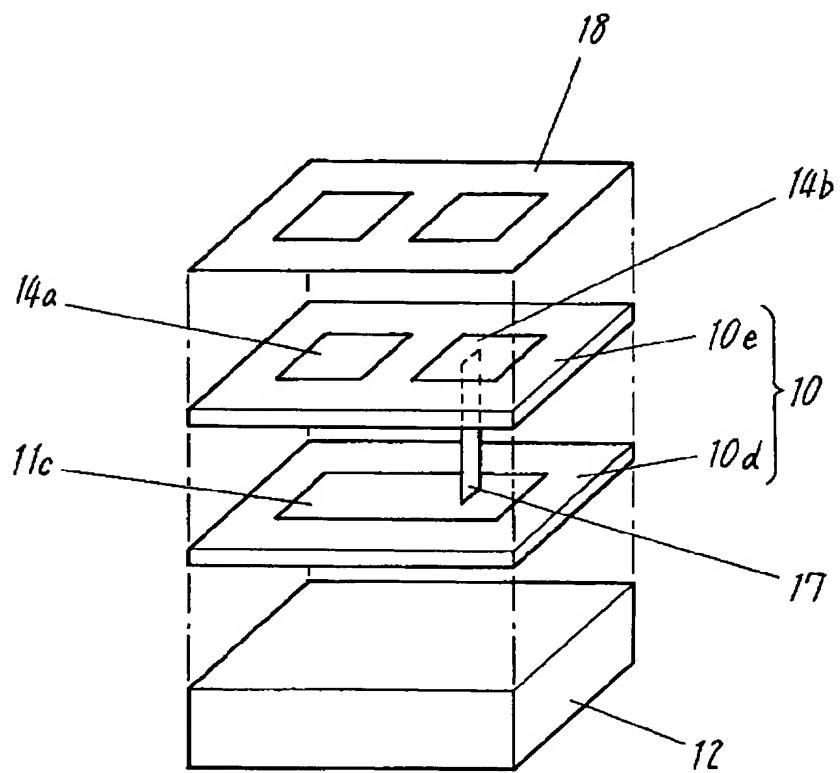
【図3】

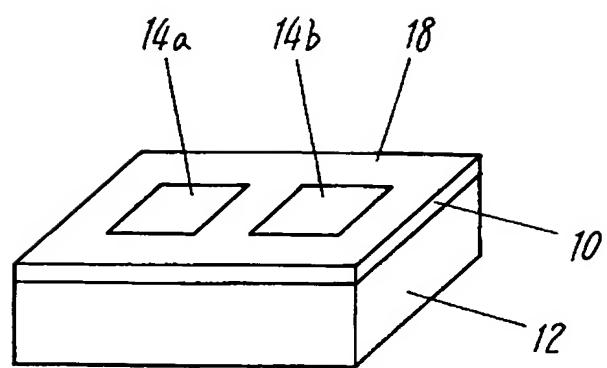


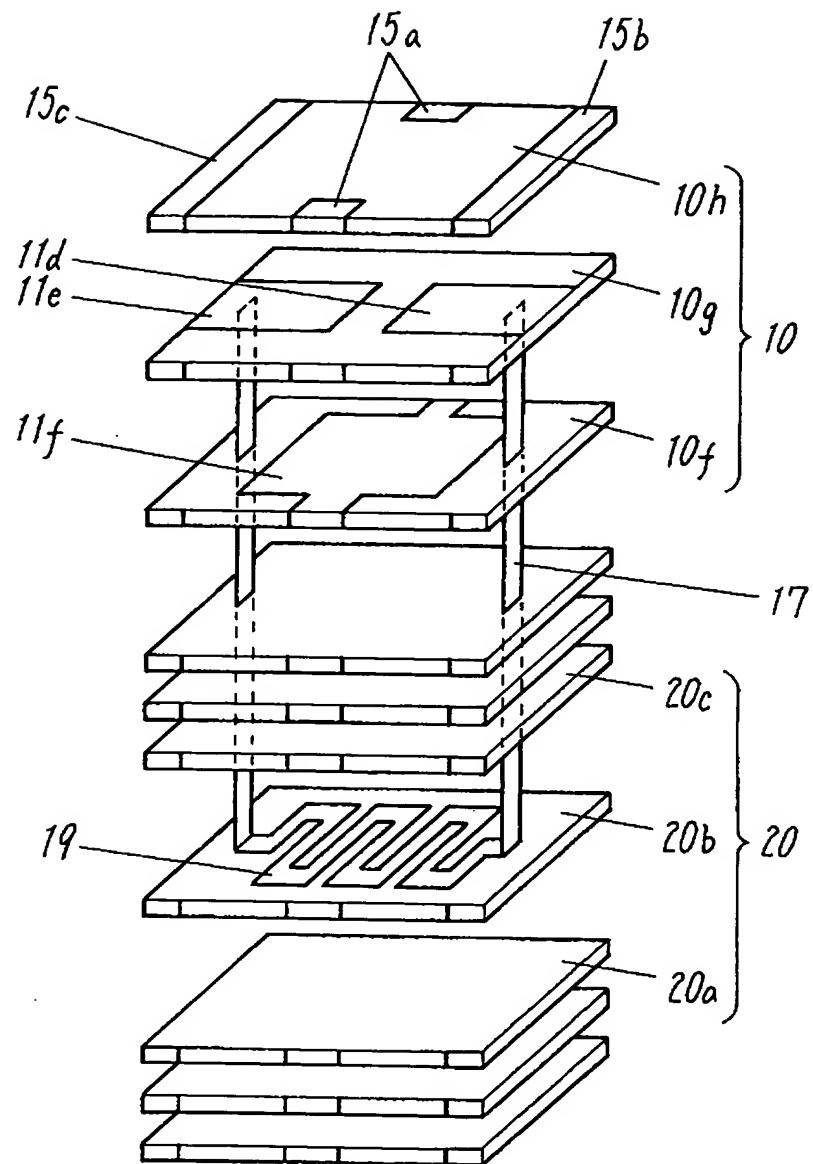
【図 4】

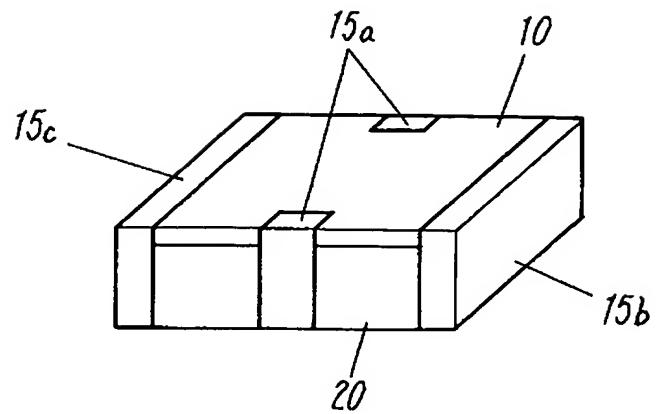


【図 5】

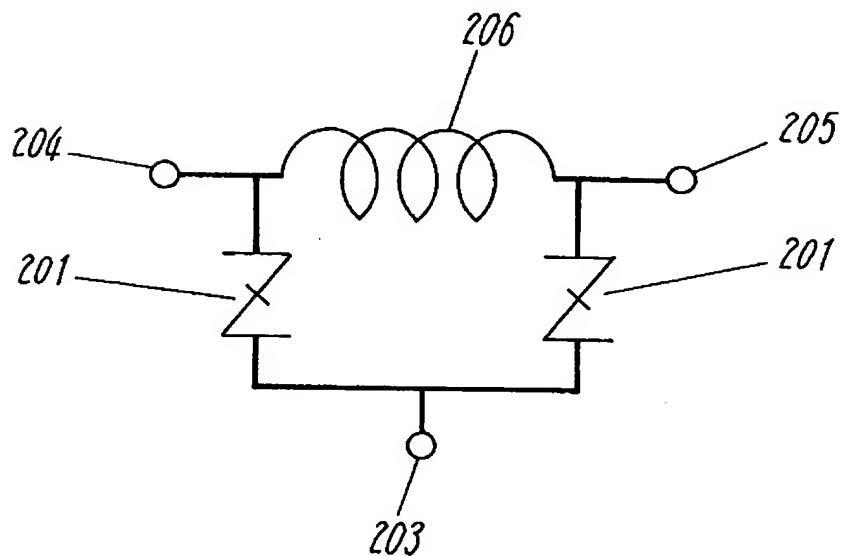






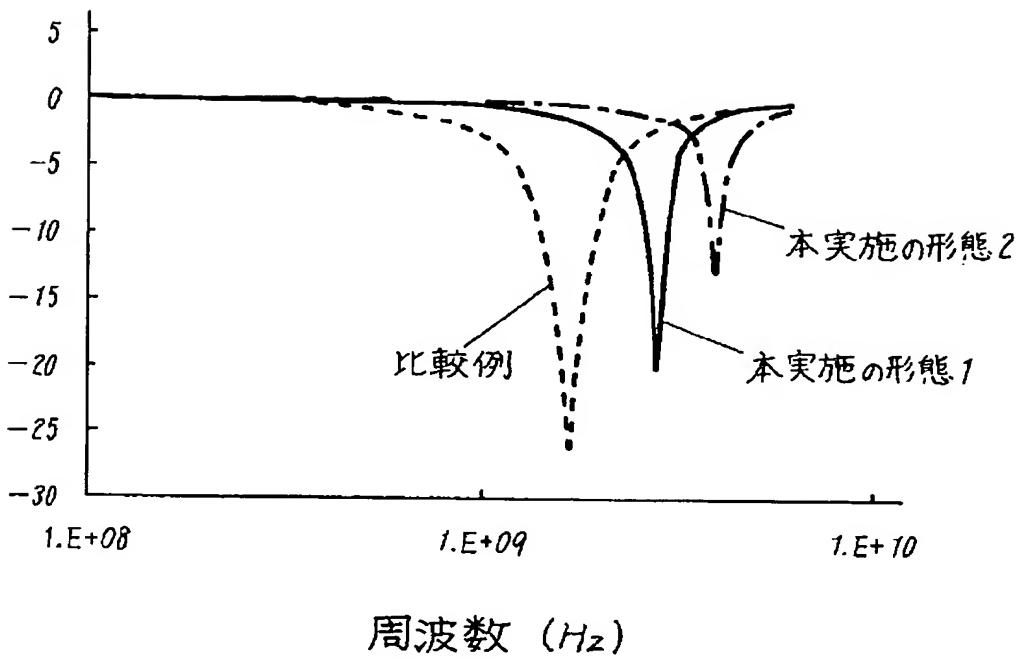


【図9】



挿入損失

(dB)



【要約】

【課題】高周波機器に適した静電容量の極めて小さな静電気対策部品を提供することを目的とする。

【解決手段】セラミック絶縁基板12と、このセラミック絶縁基板12上にバリスタ層10a、10b、10cと内部電極11a、11bとを交互に積層し焼結一体化して設けたバリスタ部10と、このバリスタ部10に外部電極13a、13bとを有した静電気対策部品であり、静電容量が非常に小さく実用上優れた静電気対策部品を構成することができる。

【選択図】図1

000005821

19900828

新規登録

大阪府門真市大字門真 1006 番地

松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004186

International filing date: 10 March 2005 (10.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-072562
Filing date: 15 March 2004 (15.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox